



This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0049941
Application Number

출원 년 월 일 : 2003년 07월 21일
Date of Application JUL 21, 2003

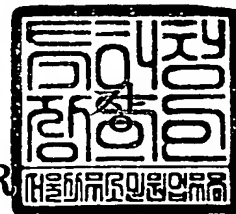
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0019
【제출일자】	2003.07.21
【발명의 명칭】	비휘발성 메모리 트랜지스터 제조방법
【발명의 영문명칭】	METHOD FOR MANUFACTURING NONVOLATILE MEMORY TRANSISTOR
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 아주(대표변리사 정은섭)
【대리인코드】	9-2001-100005-9
【지정된변리사】	정은섭
【포괄위임등록번호】	2001-071442-5
【발명자】	
【성명의 국문표기】	이다순
【성명의 영문표기】	LEE, Da Soon
【주민등록번호】	680613-1161813
【우편번호】	361-201
【주소】	충청북도 청주시 흥덕구 분평동 1211 분평주공1단지 106동 1102호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 인 아주(대표변리사 정은섭) (인) 특허법
【수수료】	
【기본출원료】	19 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	3 항 205,000 원
【합계】	234,000 원



1020030049941

출력 일자: 2003/10/28

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 마이크론 이하의 테크놀로지에 적용시 면적을 최소화 할 수 있는 비휘발성 메모리 트랜지스터 제조방법을 제공하는 것이다. 비휘발성 메모리 트랜지스터 제조방법은 실리콘 기판 상에 소정 형상의 트렌치를 형성하는 단계와, N+형 도핑된 영역을 형성하는 단계와, 추가로 실리콘 기판을 식각하는 단계와, 선택 트랜지스터의 임계전압(V_t) 조절 이온주입을 위하여 경사 이온주입을 실시함으로써, 트렌치의 측면에 이온주입된 영역을 형성하는 단계와, 산화막을 증착한 후, 폴리-1 층을 형성하는 단계와, 폴리-1 층에 대한 에치백을 수행하는 단계와, N+ 이온주입된 영역을 형성하는 단계와, 추가로 실리콘 기판을 식각하여 EEPROM의 채널을 형성하는 단계와, 셀 임계전압 이온주입된 영역을 형성하는 단계와, 셀 임계전압 이온주입 후, 셀의 게이트 산화를 진행하여 셀 게이트 산화막을 형성하는 단계와, 폴리-2를 증착한 후, 에치백을 진행하여 폴리-2 층(128)을 형성하는 단계와, 셀 N형 드레인 접합영역을 형성하는 단계와, 소정의 형상으로 폴리-2 층을 식각하는 단계와 산화막을 증착한 후, 폴리-3을 증착하고 에치백을 진행하여 폴리-3 층을 형성하는 단계와, 상기 폴리-3 층, 상기 산화막, 상기 폴리-2 층, 셀 게이트 산화막, 상기 폴리-1 층 및 상기 폴리-1 층 하부의 산화막을 관통하도록 산화막을 충전하는 단계를 포함하는 것을 특징으로 하는 을 제공한다.

【대표도】

도 2r



1020030049941

출력 일자: 2003/10/28

【색인어】

비휘발성 메모리 트랜지스터, 마이크론 이하의 테크놀로지

【명세서】

【발명의 명칭】

비휘발성 메모리 트랜지스터 제조방법 {METHOD FOR MANUFACTURING NONVOLATILE MEMORY TRANSISTOR}

【도면의 간단한 설명】

도 1은 종래 기술에 따라 제조된 이이피롬(EEPROM; electrically erasable and programmable read only memory) 구조의 바이어스 조건을 설명하기 위한 단면도를 도시한다.

도 2a 내지 도 2r은 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 트랜지스터 제조방법을 설명하기 위한 단면도들을 도시한다.

- 도면의 주요부분에 대한 부호의 설명 -

- | | |
|-----------------------|-----------------------------------|
| 100 : 실리콘 기판 | 102 : 포토레지스트 |
| 104, 138 : 트렌치 | 106 : N+형 도핑된 영역 |
| 106 : 제 1의 질화막 | 108, 118, 122, 130, 139 : 포토 레지스트 |
| 110 : 이온주입된 영역 | 112 : 산화막 |
| 114 : 폴리-1 층 | 116 : 에치백된 폴리-1 층 |
| 118 : 스페이서를 형성할 질화막 | 120 : N+ 이온 주입된 영역 |
| 123 : 셀 임계전압 이온주입된 영역 | |
| 124 : 셀 게이트 산화막 | 128 : 폴리-2 층 |



132 : 셀 N형 드레인 접합영역 135 : 산화막

136 : 폴리-3 층

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 반도체 소자의 제조 방법에 관한 것으로서, 보다 상세하게는, 마이크로 이하의(sub-micron)의 테크놀로지에 적용시 최소화 할 수 있는 비휘발성 메모리(non-volatile memory) 트랜지스터 제조방법에 관한 것이다.

<15> 도 1은 종래 기술에 따라 제조된 이이피롬(EEPROM; electrically erasable and programmable read only memory) 구조의 바이어스 조건을 설명하기 위한 단면도를 도시한다.

<16> 하기의 표 1는 도 1에 도시한 EEPROM 구조의 프로그램시 동작, 소거시 동작 및 판독시 동작에 대하여 나타내고 있다.

<17> 표 1

Condition	V_Drain	V_select	V_Control	V_Source	V_Sub	Method
Program	GND	~10V 이상	~10V 이상	Floating	GND	F-N Tunneling
Erase	~10V 이상	~10V 이상	GND	Floating	GND	F-N Tunneling
Read	~1V	Vcc	Vcc	GND	GND	-

<19> 도 1 및 표 1에 도시한 바와 같이, 프로그램시 가해지는 바이어스에 의해 터

널 윈도우를 따라 고온 전자들이 폴리-1으로 F-N 터널 방식으로 주입됨으로 인하여 임계전압 (V_t)을 높여주게 되어 판독시 오프 트랜지스터를 형성하게 되며, 소거시 가해지는 바이어스에 의해 터널 윈도우를 따라 고온 전자들이 폴리-1으로부터 F-N 터널방식으로 빠져나오게 되어 셀 임계전압(V_t)을 낮게 하여 턴온(turn on) 트랜지스터를 형성하게 된다.

<20> 이와 같이, 선택 트랜지스터(select transistor)를 갖는 EEPROM 셀은 비교적 단위셀 면적이 커서 마이크론 이하로 갈수록 셀 크기에 대한 경쟁력이 떨어지며, 또한 셀 크기를 축소시키기에 힘든 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<21> 본 발명은 상기와 같은 문제점을 해결하기 위해 창작된 것으로서, 본 발명의 주목적은 마이크론 이하의 테크놀로지에 적용시 면적을 최소화 할 수 있는 비휘발성 메모리 트랜지스터 제조방법을 제공하는 것이다.

【발명의 구성 및 작용】

<22> 상기와 같은 목적을 실현하기 위한 본 발명은 실리콘 기판 상에 소정 형상의 트렌치를 형성하는 단계와, N+형 도핑된 영역을 형성하는 단계와, 추가로 실리콘 기판을 식각하는 단계와, 선택 트랜지스터의 임계전압(V_t) 조절 이온주입을 위하여 경사 이온주입을 실시함으로써, 트렌치의 측면에 이온주입된 영역을 형성하는 단계와, 산화막을 증착한 후, 선택 트랜지스터의 게이트 노드로 사용될 폴리-1을 증착하여 폴리-1 층을 형성하는 단계와, 폴리-1 층을 형성한 후, 폴리-1 층에 대한 에치백을 수행하는 단계와, 셀 트랜지스터의 N+ 소오스 접합을 형성하기

위하여 N형 이온주입을 수행하여 N+ 이온주입된 영역을 형성하는 단계와, 추가로 실리콘 기판을 식각하여 EEPROM의 채널을 형성하는 단계와, 셀의 채널의 임계전압(V_t)을 조절하기 위하여 이온주입을 수행하여 셀 임계전압 이온주입된 영역을 형성하는 단계와, 셀 임계전압 이온주입 후, 셀의 게이트 산화를 진행하여 셀 게이트 산화막을 형성하는 단계와, 폴리-2를 증착한 후, 에치백을 진행하여 폴리-2 층(128)을 형성하는 단계와, 셀 N형 드레인 접합을 형성하기 위하여 이온주입을 수행함으로써, 셀 N형 드레인 접합영역을 형성하는 단계와, 폴리-2와 증착되는 셀의 컨트롤 게이트를 형성하기 위하여 소정의 형상으로 폴리-2 층을 식각하는 단계와 산화막을 증착한 후, 폴리-3을 증착하고 에치백을 진행하여 폴리-3 층을 형성하는 단계와, 폴리-3 층, 상기 산화막, 상기 폴리-2 층, 셀 게이트 산화막, 상기 폴리-1 층 및 폴리-1 층 하부의 산화막을 관통하도록 산화막을 충전하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 트랜지스터 제조방법을 제공한다.

<23> 이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명한다. 또한 본 실시예는 본 발명의 권리범위를 한정하는 것은 아니고, 단지 예시로 제시된 것이다.

<24> 도 2a 내지 도 2r은 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 트랜지스터 제조방법을 설명하기 위한 단면도들을 도시한다.

<25> 먼저, 도 2a에 도시한 바와 같이, 실리콘 기판(100) 상에 소정 형상의 포토레지스트층(102)을 형성한다. 그리고 나서, 소정 형상의 포토레지스트층(102)을 마스크로 사용하여 실리콘 기판(100)을 소정 깊이까지 식각하여, 트렌치(104)를 형성한다. 이때, 실리콘 기판(100)의 식각시 가능하면 식각되는 부위가 직각이 되어 경사가 크지 않도록 식각을 수행하는 것이 바람직하다.

- <26> 이어서, 도 2b에 도시한 바와 같이, NVM 셀의 N+ 소오스 접합을 형성하기 위하여 N형 도펀트를 사용하여 이온주입을 함으로써, N+형 도핑된 영역(106)을 형성한다.
- <27> 다음 단계로, 도 2c에 도시한 바와 같이, 제 1의 소정 형상을 갖는 포토레지스트층(102)을 제거하지 않고 그대로 추가로 실리콘 기판(100)의 식각을 진행한다. 이때의 실리콘 식각은 도 2b에서 트렌치(104)의 측면에 이온 주입된 N형 도핑된 영역을 식각하기 위하여 진행되는 것이다. 이렇게 실리콘 식각된 측면이 나중에 선택 트랜지스터의 채널 부분을 형성하게 된다.
- <28> 그리고, 도 2d에 도시한 바와 같이, 선택 트랜지스터의 임계전압(V_t) 조절 이온주입을 위하여 경사 이온주입을 실시함으로써, 트렌치(104)의 측면에 이온주입된 영역(110)을 형성한다.
- <29> 이어서, 도 2e에 도시한 바와 같이, 산화막(112)을 증착한 후, 선택 트랜지스터의 게이트 노드로 사용될 폴리-1을 증착하여 폴리-1 층(116)을 형성한 후 폴리-1의 도핑을 위하여 POCL₃ 도핑(또는 N형 이온주입을 하여 도핑 후 열처리)를 수행한다.
- <30> 계속하여, 도 2f에 도시한 바와 같이, 폴리-1 층(116)을 형성한 후, 폴리-1 층(114)에 대한 에치백(etch back)을 수행한다. 이때, 에치백 양은 실리콘이 식각된 표면으로부터 약 1/3 정도가 되도록 수행하는 것이 바람직하다.
- <31> 그리고 나서, 도 2g에 도시한 바와 같이, 제 2의 소정 형상을 갖는 포토레지스트(118)을 형성한 후, 셀 트랜지스터의 N+ 소오스 접합을 형성하기 위하여 N형 이온주입을 수행하면 N+ 이온 주입된 영역(120)을 얻을 수 있다.
- <32> 다음 단계로, 도 2h에 도시한 바와 같이, 제 2의 소정 형상을 갖는 포토레지스트(118)을 제거한 후, 추가 실리콘 식각을 진행하기 위하여 제 3의 소정 형상을 갖는 포토레지스트(122)

을 형성한다. 이어서, 제 3의 소정 형상을 갖는 포토레지스트(122)를 마스크로 사용하여 추가로 실리콘 기판(100)을 식각하여 EEPROM의 채널을 형성한다.

<33> 그리고, 도 2i에 도시한 바와 같이, 실리콘 식각시 실리콘 웨이퍼의 표면과 에치백된 폴리-1 층(116) 사이의 단차로 인하여 식각 후 셀의 N+ 소오스 접합 및 폴리-1과 단차를 형성하게 된다. 다음으로, 셀의 채널의 임계전압(V_t)를 조절하기 위하여 이온주입을 수행하여 셀 임계전압 이온주입된 영역(123)을 형성한다.

<34> 이어서, 도 2j에 도시한 바와 같이, 셀 임계전압 이온주입 후, 셀의 게이트 산화를 진행하여 셀 게이트 산화막(124)을 형성한다.

<35> 이어지는 단계로, 도 2k에 도시한 바와 같이, 폴리-2를 증착한 후, 에치백을 진행하여 폴리-2 층(128)을 형성한다. 이때, 폴리-2 층(128)은 나중에 셀의 플로팅 폴리트로 사용되게 되며, 폴리-2 증착 후 POCL3 또는 N형 이온주입 후 열처리를 진행하여 폴리-2에 대한 도핑을 수행한다.

<36> 다음 단계로, 도 2l에 도시한 바와 같이, 제 4의 소정 형상을 갖는 포토레지스트(130) 도포한 뒤에, 셀 N형 드레인 접합을 형성하기 위하여 이온주입을 수행함으로써, 셀 N형 드레인 접합영역(132)을 형성한다.

<37> 그리고, 도 2m에 도시한 바와 같이, 제 5의 소정 형상을 갖는 포토레지스트(134)를 도포한 다음, 폴리-2와 중첩되는 셀의 컨트롤 게이트를 형성하기 위하여 소정의 형상으로 폴리-2 층(128)을 식각한다.

<38> 이어서, 도 2n에 도시한 바와 같이, 산화막(135)을 증착한 후, 폴리-3을 증착한다. 그리고 나서, 에치백을 진행하여 폴리-3 층(136)을 형성한다. 이 경우, 역시 도핑을 위하여 POCL3

또는 N형 이온주입후 열처리를 진행하여 도핑을 수행한다. 이러한 폴리-3 층(135)은 나중에 셀의 컨트롤 게이트 노드로 작용하게 된다. 그리고 나서, 도 2o에 도시한 바와 같이, 제 6의 소정 형상을 갖는 포토레지스트(139)를 형성한 다음, 제 6의 소정 형상을 갖는 포토레지스트(139)를 마스크로 사용하여 폴리-3 층(136), 산화막(135), 폴리-2 층(128), 셀 게이트 산화막(124), 에치백된 폴리-1 층(116) 및 산화막(112)을 동시에 식각하여 트렌치(138)를 형성한다.

<39> 다음 단계로, 도 2p에 도시한 바와 같이, 트렌치(138)에 산화막(140)을 충전한다.

<40> 이어서, 도 2r에 도시한 바와 같이, 최종적으로 완성된 단면도를 도시하며 이때의 EEPROM 구조의 프로그램시 동작, 소거시 동작 및 판독시 동작은 하기의 표 2에 도시한 바와 같다.

<41> 표 2

Condition	V_Drain	V_select	V_Control	V_Source	V_Sub	Method
Program	Vcc	~10V 이상	~10V 이상	GND	GND	HCI
Erase	Floating	~10V 이상	~10V 이상	~10V 이상	GND	F-N Tunneling
Read	~1V	Vcc	Vcc	GND	GND	-

<43> 본 발명을 본 명세서 내에서 몇몇 바람직한 실시예에 따라 기술하였으나, 당업자라면 첨부한 특허 청구 범위에서 개시된 본 발명의 진정한 범주 및 사상으로부터 벗어나지 않고 많은 변형 및 향상이 이루어질 수 있다는 것을 알 수 있을 것이다.

【발명의 효과】

<44> 상기한 바와 같이, 본 발명은 비휘발성 메모리 트랜지스터 제조 방법에 관한 것으로써
마이크론 이하의 테크놀로지에 적용시 면적을 최소화 할 수 있는 EEPROM 메모리를 제공할 수
있는 효과가 있다.

【특허청구범위】

【청구항 1】

실리콘 기판 상에 소정 형상의 트렌치를 형성하는 단계와,

N⁺ 형 도핑된 영역을 형성하는 단계와,

추가로 실리콘 기판을 식각하는 단계와,

선택 트랜지스터의 임계전압(V_t) 조절 이온주입을 위하여 경사 이온주입을 실시함으로써, 트렌치의 측면에 이온주입된 영역을 형성하는 단계와,

산화막을 증착한 후, 선택 트랜지스터의 게이트 노드로 사용될 폴리-1을 증착하여 폴리-1 층을 형성하는 단계와,

폴리 -1 층을 형성한 후, 폴리-1 층에 대한 에치백을 수행하는 단계와,

셀 트랜지스터의 N⁺ 소오스 접합을 형성하기 위하여 N형 이온주입을 수행하여 N⁺ 이온주입된 영역을 형성하는 단계와,

추가로 실리콘 기판을 식각하여 EEPROM의 채널을 형성하는 단계와,

셀의 채널의 임계전압(V_t)을 조절하기 위하여 이온주입을 수행하여 셀 임계전압 이온주입된 영역을 형성하는 단계와,

셀 임계전압 이온주입 후, 셀의 게이트 산화를 진행하여 셀 게이트 산화막을 형성하는 단계와,

폴리-2를 증착한 후, 에치백을 진행하여 폴리-2 층(128)을 형성하는 단계와,

셀 N형 드레인 접합을 형성하기 위하여 이온주입을 수행함으로써, 셀 N형 드레인 접합 영역을 형성하는 단계와,

상기 폴리-2와 증착되는 셀의 컨트롤 게이트를 형성하기 위하여 소정의 형상으로 상기 폴리-2 층을 식각하는 단계와

산화막을 증착한 후, 폴리-3을 증착하고 에치백을 진행하여 폴리-3 층을 형성하는 단계와,

상기 폴리-3 층, 상기 산화막, 상기 폴리-2 층, 상기 셀 게이트 산화막, 상기 폴리-1 층 및 상기 폴리-1 층 하부의 산화막을 관통하도록 산화막을 증진하는 단계를

포함하는 것을 특징으로 하는 비휘발성 메모리 트랜지스터 제조방법.

【청구항 2】

제 1항에 있어서, 상기 폴리-1 층에 대한 에치백의 양은 실리콘이 식각된 표면으로부터 약 1/3정도가 되도록 수행하는 것을 특징으로 하는 비휘발성 메모리 트랜지스터 제조방법.

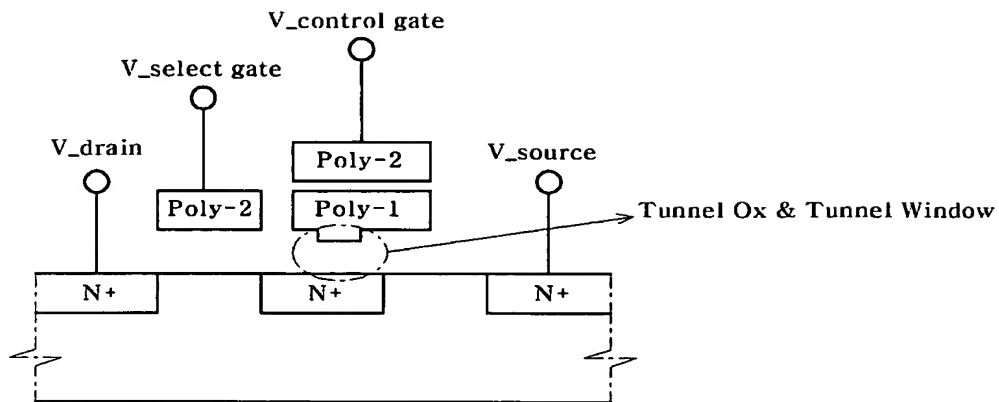
【청구항 3】

제 1항에 있어서, 상기 트렌치의 식각시 가능하면 식각되는 부위가 직각이 되어 경사가 크지 않도록 식각을 수행하는 것을 특징으로 하는 비휘발성 메모리 트랜지스터 제조방법.

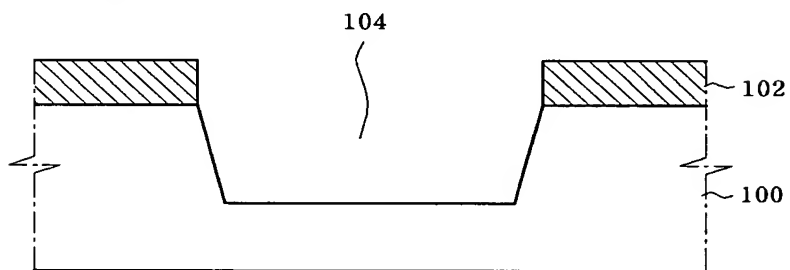


【도면】

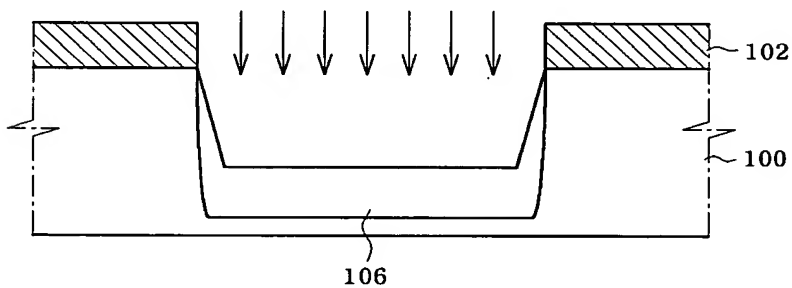
【도 1】



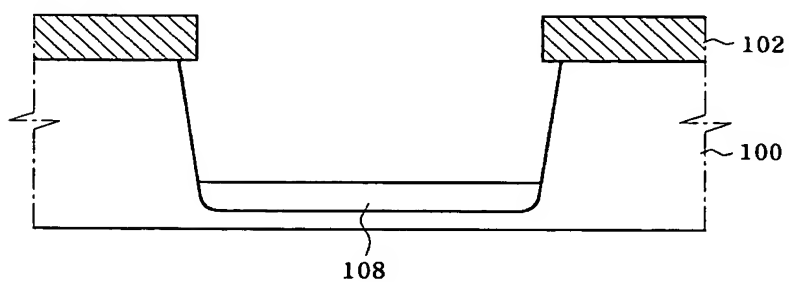
【도 2a】



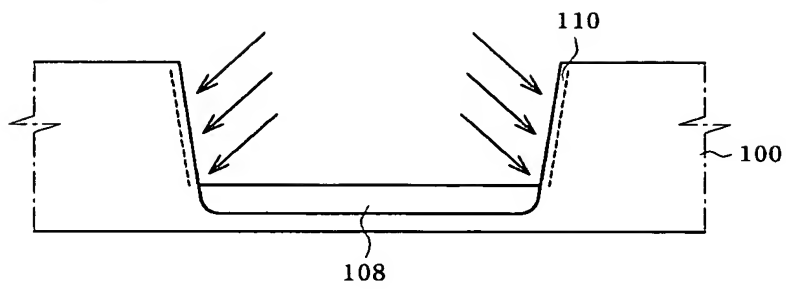
【도 2b】



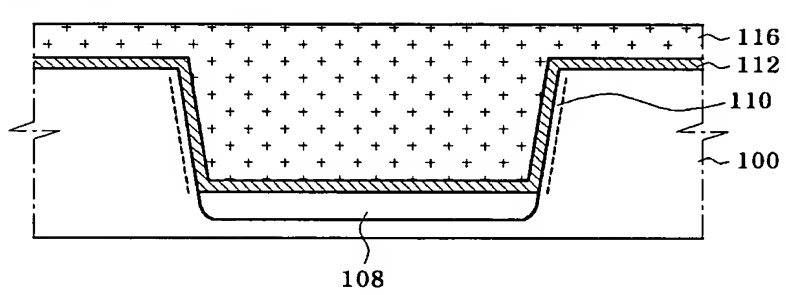
【도 2c】



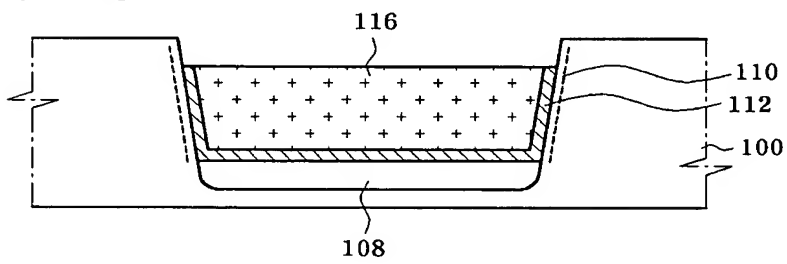
【도 2d】



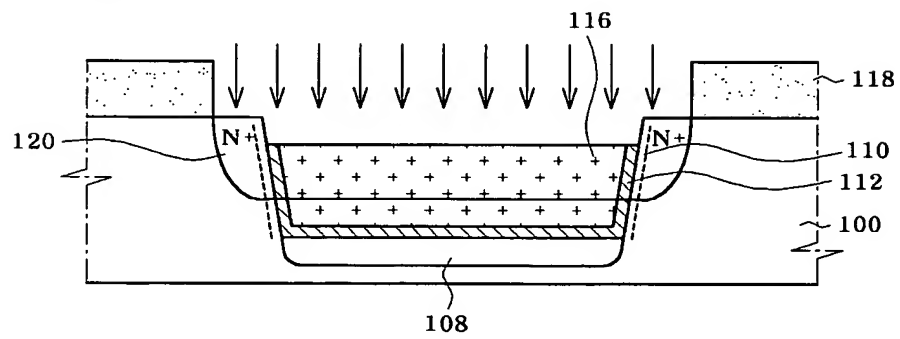
【도 2e】



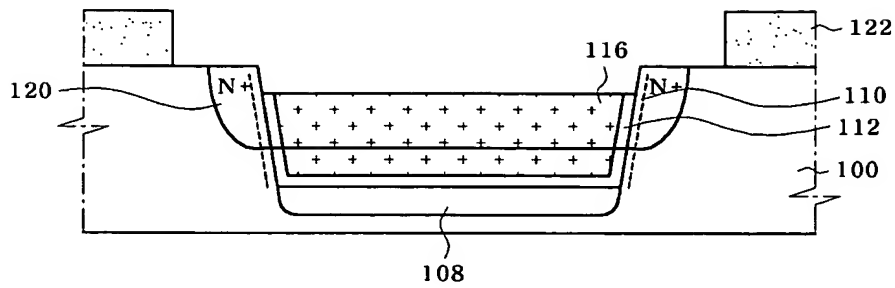
【도 2f】



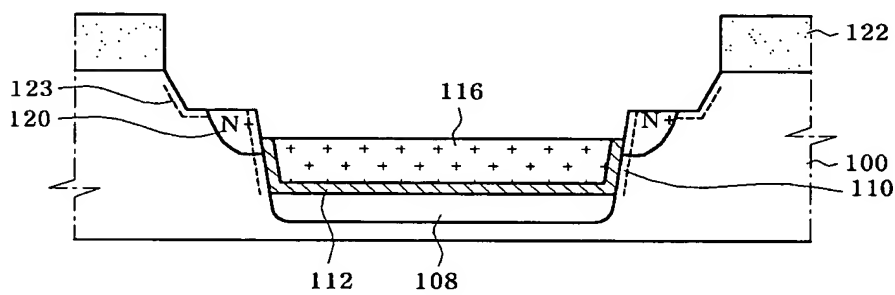
【도 2g】



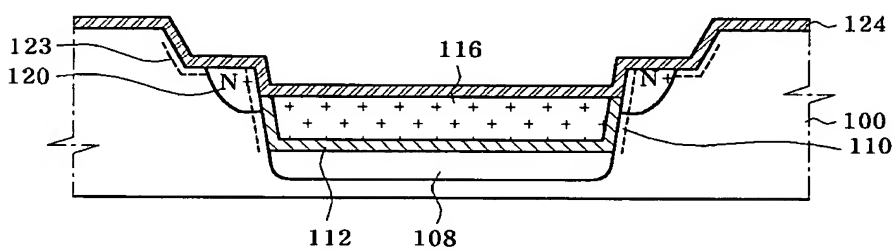
【도 2h】



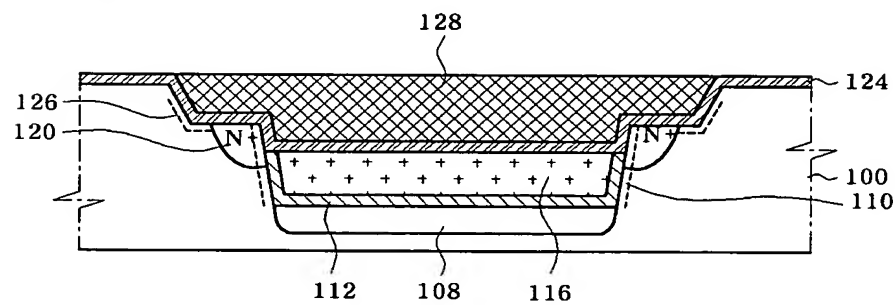
【도 2i】



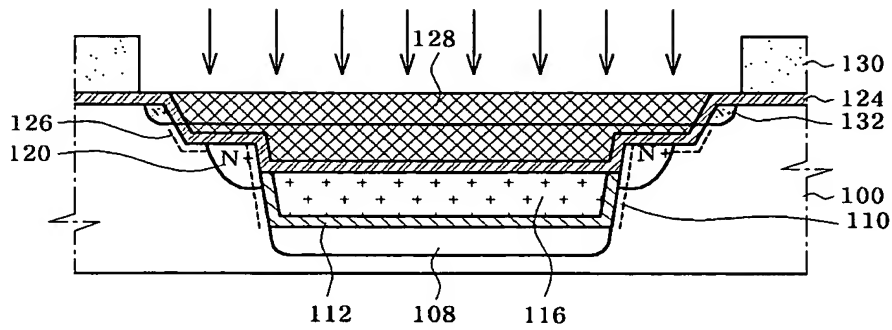
【도 2j】



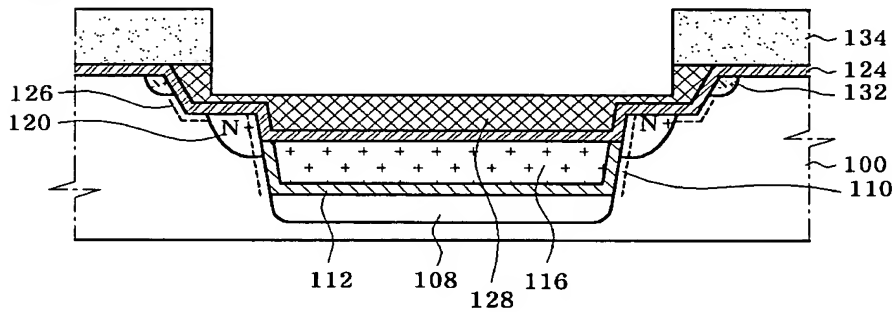
【도 2k】



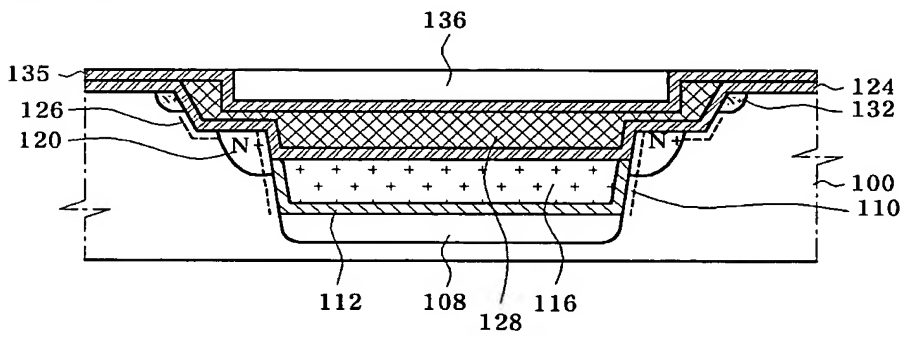
【도 21】



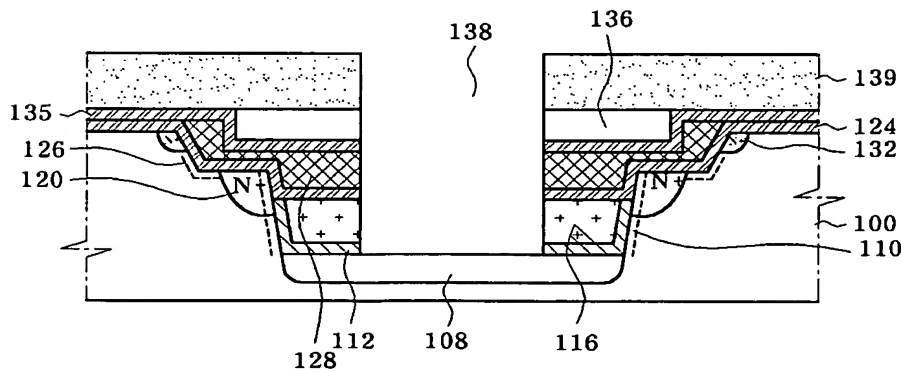
【도 2m】



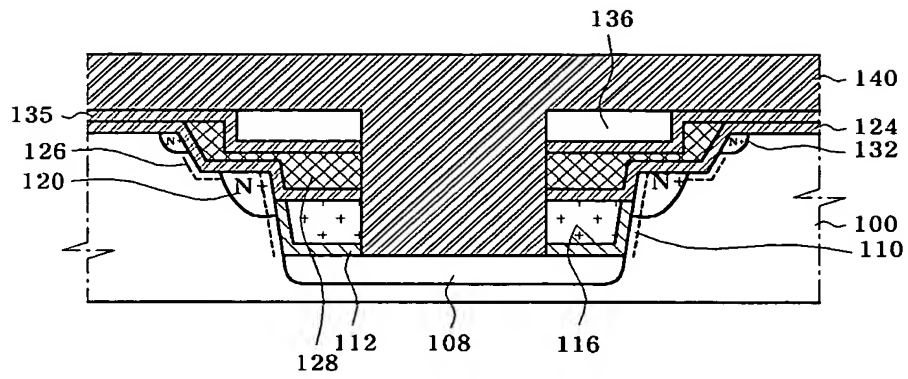
【도 2n】



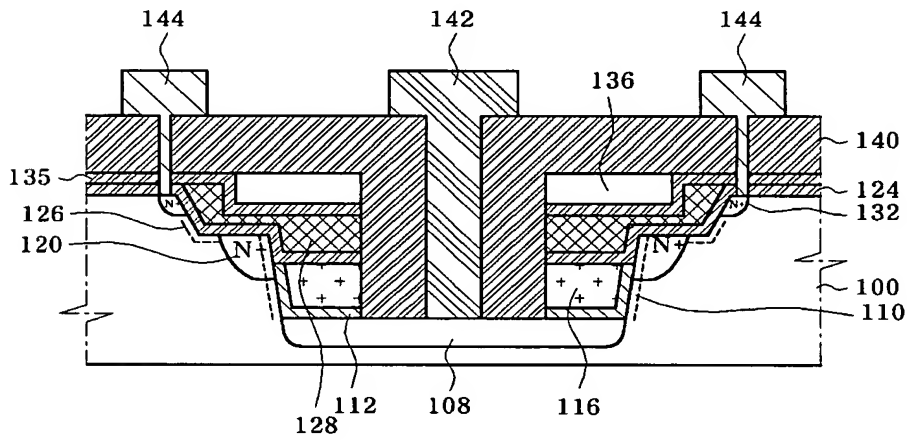
【도 2o】



【도 2p】



【도 2q】



【도 2r】

